

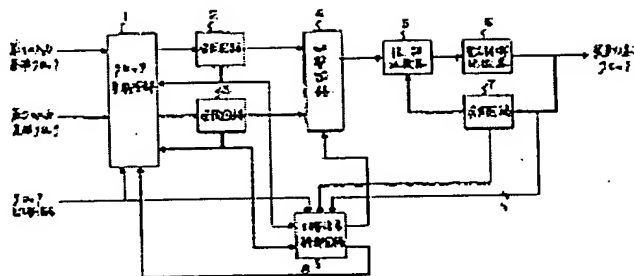
CLOCK CHANGEOVER CIRCUIT

Patent number: JP11298460
Publication date: 1999-10-29
Inventor: OKABAYASHI TETSUYA
Applicant: NEC CORP
Classification:
- international: H04L7/00; H04L1/22
- european:
Application number: JP19980122820 19980415
Priority number(s):

Abstract of JP11298460

PROBLEM TO BE SOLVED: To minimize phase fluctuations of the reference clock in a device employing the proposed circuit at a clock changeover.

SOLUTION: The clock control circuit 1 of this clock changeover circuit stops an output of a 2nd input reference clock to a 2nd frequency divider circuit 3 when the count of a 2nd input reference clock received by the 2nd frequency divider circuit 3 in selecting a 1st input reference clock reaches '0'; a switching signal from a switching signal control circuit 2 selects a clock from the 1st frequency divider circuit 2 and provides an output to a phase comparator 5, which compares the phase of a clock of a 3rd frequency divider circuit 7 with the phase of a clock of the 1st frequency divider circuit 2 and outputs a phase difference signal to a voltage controlled oscillator 6, and the oscillator 6 outputs a 1st input reference clock as an in-device reference clock in response to the phase difference.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298460

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 7/00
1/22H 0 4 L 7/00
1/22

Z

審査請求 有 請求項の数 8 F D (全 9 頁)

(21) 出願番号 特願平10-122820

(22) 出願日 平成10年(1998) 4月15日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 岡林 哲也

東京都港区芝五丁目7番1号 日本電気株
式会社内

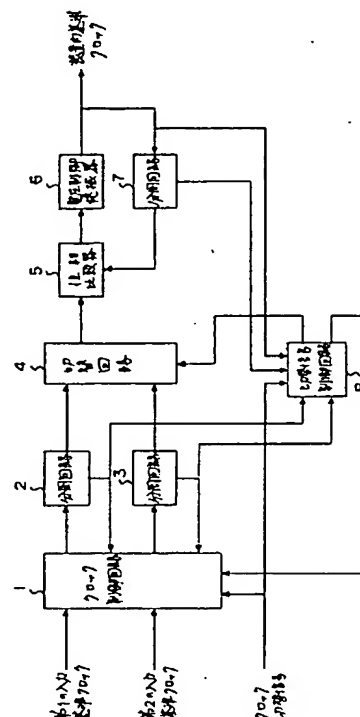
(74) 代理人 弁理士 野田 茂

(54) 【発明の名称】 クロック切替回路

(57) 【要約】

【課題】 クロック切替時の装置内基準クロックの位相変動を最小に抑制できるクロック切替回路を提供することを目的とする。

【解決手段】 クロック制御回路1は第1入力基準クロック選択時に第2分周回路3に入力される第2入力基準クロックカウンタ値が「0」になると、第2入力基準クロックの第2分周回路3への出力を停止し、装置内基準クロックを分周する第3分周回路7のクロックが「0」になると、切替信号制御回路8からの切替信号により、第1分周回路2からのクロックを選択して位相比較器5に出力し、第3分周回路7のクロックと第1分周回路2のクロックとの位相比較を行い、位相差信号を電圧制御発振器6に出力して、位相差に応じて電圧制御発振器6から第1入力基準クロックを装置内基準クロックとして出力する。



【特許請求の範囲】

【請求項 1】 複数の入力基準クロックのうちの所定の第 1 入力基準クロックを第 1 分周回路に出力し続けるとともに、他の少なくとも一つ以上の第 2 入力基準クロックはそれぞれ該当する第 2 分周回路に入力させ、前記第 2 分周回路のそれぞれカウント値が「0」になると第 2 分周回路の出力を停止させるクロック制御回路と、前記第 1 分周回路で分周して出力される前記第 1 入力基準クロックと前記第 2 分周回路で分周して出力される前記第 2 入力基準クロックとのいずれかを選択する切替回路と、

装置内基準クロックを分周したクロックの位相と前記第 1 入力基準クロックの分周したクロックの位相あるいは前記第 2 入力基準クロックの分周したクロックの位相と一致してから前記切替回路に対して前記第 1 入力基準クロックの分周したクロックあるいは前記第 2 入力基準クロックの分周したクロックのいずれかに切替えさせる切替信号制御回路と、

前記切替回路により選択された前記第 1 入力基準クロックあるいは前記第 2 入力基準クロックの位相と第 3 分周回路で分周された装置内基準クロックの位相とを比較して位相差に応じて位相差信号を出力する位相比較器と、前記位相比較器から出力される前記位相差信号により前記選択された前記第 1 入力基準クロックあるいは前記第 2 入力基準クロックの位相に同期した前記装置内基準クロックを出力する電圧制御発振器と、を備えることを特徴とするクロック切替回路。

【請求項 2】 前記クロック制御回路は、3 系統以上の入力基準クロックを入力することを特徴とする請求項 1 記載のクロック切替回路。

【請求項 3】 前記切替信号制御回路は、前記第 1 入力基準クロックの第 1 分周回路による分周カウント「0」検出信号と前記第 2 入力基準クロックの第 2 分周回路による分周カウント「0」検出信号のいずれかと装置内基準クロックの前記第 3 分周回路による分周カウンタ

「0」検出信号との一致時にその一致した方の第 1 分周回路あるいは第 2 分周回路で分周したクロックを前記クロック制御回路に比較結果として出力する比較結果出力手段と、前記装置内基準クロックを前記第 1 入力基準クロックと前記第 2 入力基準クロックのいずれかに切り替えるためのクロック切替信号を遅延して前記比較結果出力手段で前記第 1 分周回路または第 2 分周回路で分周したクロックの選択状態を保持して前記切替回路へ切替信号を出力する切替信号保持手段とを備えることを特徴とする請求項 1 記載のクロック切替回路。

【請求項 4】 前記比較結果出力手段は、前記クロック切替信号により前記第 1 分周回路から出力される第 1 基準クロック分周カウンタ「0」検出信号と前記第 2 分周から出力される第 2 基準クロック分周カウンタ「0」検出信号とのいずれかを選択するセレクタと、前記セレク

タから出力された第 1 基準クロック分周カウンタ「0」検出信号あるいは前記第 2 基準クロック分周カウンタ

「0」検出信号のいずれか一方と前記第 3 分周回路から出力される装置内基準クロック分周カウンタ「0」検出信号とのアンド論理をとって前記クロック制御回路へ比較信号を出力する第 1 アンドゲートとを備えることを特徴とする請求項 3 記載のクロック切替回路。

【請求項 5】 前記切替信号保持手段は、前記第 1 アンドゲートの出力によりセットされる第 1 フリップ・フロップ回路と、前記第 1 フリップ・フロップ回路の出力により前記切替回路に切替信号を出力する第 2 フリップ・フロップ回路と、前記クロック切替信号を順次遅延させるために縦続接続された複数の D タイプのフリップ・フロップ回路と、前記複数のフリップ・フロップ回路のうちの所定の段の出力信号の排他的論理和をとって前記第 1 フリップ・フロップ回路をリセットさせることにより前記第 2 フリップ・フロップ回路に対して選択中の前記第 1 入力基準クロックあるいは前記第 2 入力基準クロックの選択状態を保持させる EX-OR 回路とを備えることを特徴とする請求項 3 記載のクロック切替回路。

【請求項 6】 前記クロック制御回路は、前記第 2 入力基準クロックを前記第 2 分周回路で分周されたクロックの位相と前記装置内基準クロックを前記第 3 分周回路で分周されたクロックの位相の一致時に前記第 1 入力基準クロックを前記第 1 分周回路に出力する第 1 基準クロック抽出手段と、前記第 1 分周回路のクロックの位相と前記第 3 分周回路のクロックの位相の一致時に前記第 2 入力基準クロックを前記第 2 分周回路に出力する第 2 入力基準クロック抽出手段とを備えることを特徴とする請求項 1 記載のクロック切替回路。

【請求項 7】 前記第 1 入力基準クロック抽出手段は、前記切替信号制御回路から出力される比較結果と前記クロック切替信号の反転信号とのアンド論理をとる第 2 アンドゲート、前記第 2 アンドゲートでセットされる第 3 フリップ・フロップ回路と、前記第 1 入力基準クロックと前記第 3 フリップ・フロップ回路の出力とのアンド論理をとって前記第 1 入力基準クロックを前記第 1 分周回路に出力する第 3 アンドゲートと、前記クロック切替信号と前記第 1 分周回路から出力される第 1 入力基準クロック分周カウンタ「0」検出信号とのアンド論理をとって前記第 1 フリップ・フロップ回路をリセットする第 4 アンドゲートとを備えることを特徴とする請求項 6 記載のクロック切替回路。

【請求項 8】 前記第 2 入力基準クロック抽出手段は、前記切替信号制御回路から出力される比較結果と前記クロック切替信号とのアンド論理をとる第 5 アンドゲートと、前記第 5 アンドゲートの出力でセットされる第 4 フリップ・フロップ回路と、前記第 4 フリップ・フロップ回路の出力と前記第 2 入力基準クロックとのアンド論理をとって前記第 2 入力基準クロックを前記第 2 分周

回路に出力する第 5 アンドゲートと、前記クロック切替信号の反転信号と前記第 2 分周回路により出力される第 2 入力基準分周カウンタ「0」検出信号とのアンド論理をとって前記第 4 フリップ・フロップ回路をリセットする第 7 アンドゲートとを備えることを特徴とする請求項 6 記載のクロック切替回路。

【発明の詳細な説明】

【0001】この発明は、入力基準クロックに同期したデジタル信号を伝送するデジタル通信システムにおいて、切り替えようとする入力基準分周クロックと装置内基準分周クロックの位相がずれている場合でも、入力基準クロック切替による装置内基準クロックの位相ずれを抑圧し、良好な装置内基準クロックを生成するようにしたクロック切替回路に関する。

【0002】

【従来の技術】基準クロックに同期したデジタル信号を伝送するデジタル通信システムにおけるクロック切替回路に関して、基準クロックに同期したデジタル信号を伝送する上で、装置内基準クロックの安定性は一番の課題となる。このようなクロック切替回路に関して、たとえば、特開平 0 9 - 3 2 6 7 8 7 号公報には、一定周期にクロック信号と装置内クロック信号のクロック数がカウンタ部で計数し、判定部で装置内クロック信号のクロック数と一定周期のクロック信号のクロック数とを比較し、その比較結果が一致するクロック信号が選択部で選択された位相比較部へ出力することが開示されている。

【0003】また、特開平 0 8 - 8 5 8 0 3 号公報には、N 個の位相検出器と位相補償回路とを備え、N 個の入力基準クロックの位相を一つの基準入力クロックを基にして位相合わせした後に、クロック切替回路でクロック選択のための切り替えを行うことが開示されている。さらに、同一周波数の複数のクロックの位相差に基づいて、クロックのいずれかを遅延回路で遅延させ、遅延したクロックまたは遅延しないクロックをクロック切替回路で選択し、分周器によりクロック切替選択回路で選択したクロックを $1/N$ 分周することが開示されている。特開平 0 7 - 1 7 0 5 8 4 号公報には、装置内基準クロックの位相ずれを抑圧するクロック切替回路について、複数の入力基準分周クロックと装置内基準分周クロックの位相を合わせるために、リセットパルス発生器からのリセットパルスに分周回路をリセットすることが開示されている。

【0004】ところで、上記のような基準クロックに同期したデジタル信号を伝送するデジタル通信システムに適用するようなクロック切替回路では、通常装置内基準クロックは複数の入力基準クロックの中で選択された基準クロックに電圧制御発振器のクロックを同期させて使用するようにしている。この入力基準クロックを切り替える際に、切り替えられる入力基準クロックと装置内基準クロックとの間に位相差があり、クロック切替時に装

置内基準クロックの位相変動がある。したがって、入力基準クロックの切替を行った場合でも位相変動を抑えた安定した装置内基準クロックを出力する必要がある。

【0005】図 5 は従来のクロック切替回路の一例の構成を示すブロック図である。この図 5 において、第 1 入力基準クロックは第 1 分周回路 2 において周波数を f_1 から f_0 に分周し、第 2 入力基準クロックは第 2 分周回路 3 において周波数を f_2 から f_0 に分周する。第 1 分周回路 2 と第 2 分周回路 3 で分周されたクロックはそれぞれ切替回路 4 に入力され、切替回路 4 ではクロック切替信号により第 1 入力基準クロックの分周クロックか、第 2 入力基準クロックの分周クロックが選択されて出力される。

【0006】切替回路 4 で選択された分周クロックは位相比較器 5 に入力され、装置内基準クロックを f_3 から f_0 に分周する第 3 分周回路 7 からは装置内基準クロックの分周クロックが位相比較器 5 に入力され、位相比較器 5 では入力基準分周クロックと装置内基準分周クロックの位相差に応じて位相差信号を出力する。電圧制御発振器 6 では、位相比較器 5 からの位相差信号に応じた周波数のクロックを出力することにより、入力基準クロックの周波数に同期したクロックが出力され、これを装置内基準クロックとして装置に供給する。

【0007】

【発明が解決しようとする課題】ここで、入力基準クロックを切り替える際に、切り替えようとする入力基準分周クロックと装置内基準分周クロックの間に位相の不確定性があるために、入力基準分周クロックの切替時に電圧制御発振器 6 の出力の装置内基準クロックの位相ずれが発生するという課題がある。以上の課題のため、位相不確定性のあるクロックを切り替える場合は、従来のクロック切替回路では、装置内基準クロックの安定性が損なわれる。

【0008】この発明は、上記従来の課題を解決するためになされたもので、入力基準クロックを切り替えるときに、切り替えようとする入力基準分周クロックの位相を装置内基準分周クロックの位相に合わせてから、切り替えることにより、入力基準クロック切替による装置内基準クロックの位相ずれを抑圧でき、良好な装置内基準クロックを生成することができるクロック切替回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、この発明のクロック切替回路は、複数の入力基準クロックのうちの所定の第 1 入力基準クロックを第 1 分周回路に出力し続けるとともに、他の少なくとも一つ以上の第 2 入力基準クロックはそれぞれ該当する第 2 分周回路に入力させ、第 2 分周回路のそれぞれカウント値が「0」になると第 2 分周回路の出力を停止させるクロック制御回路と、前記第 1 分周回路で分周して出力される

前記第 1 入力基準クロックと前記第 2 分周回路で分周して出力される前記第 2 入力基準クロックとのいずれかを選択する切替回路と、装置内基準クロックを分周したクロックの位相と前記第 1 入力基準クロックの分周したクロックの位相あるいは前記第 2 入力基準クロックの分周したクロックの位相と一致してから前記切替回路に対して前記第 1 入力基準クロックの分周したクロックあるいは前記第 2 入力基準クロックの分周したクロックのいずれかに切替えさせる切替信号制御回路と、前記切替回路により選択された前記第 1 入力基準クロックあるいは前記第 2 入力基準クロックの位相と第 3 分周回路で分周された装置内基準クロックの位相とを比較して位相差に応じて位相差信号を出力する位相比較器と、前記位相比較器から出力される前記位相差信号により前記選択された前記第 1 入力基準クロックあるいは前記第 2 入力基準クロックの位相に同期した前記装置内基準クロックを出力する電圧制御発振器とを備えることを特徴とする。

【0010】この発明によれば、クロック制御回路は第 1 入力基準クロックを選択しているときは第 1 入力基準クロックを第 1 分周回路にそのまま出力し、第 2 入力基準クロックは第 2 分周回路に出力し、第 2 分周回路のカウント値が「0」になると、クロック制御回路は第 2 入力基準クロックの分周回路への出力を停止させる。逆に、第 2 入力基準クロックを選択しているときには、クロック制御回路は第 2 入力基準クロックを第 2 分周回路に出力し、第 1 入力基準クロックは第 1 分周回路に出力し、第 1 分周回路のカウント値が「0」になると、クロック制御回路は第 1 入力基準クロックの第 1 分周回路への出力を停止する。

【0011】第 1 分周回路から出力される第 1 入力基準クロックと、第 2 分周回路から出力される第 2 入力基準クロックのいずれかと装置内基準クロックを分周する第 3 分周回路がともに「0」になると、切替信号制御の制御により切替回路で選択して位相比較器を出力する。位相比較器は、切替回路で選択され、分周された第 1 入力基準クロックまたは第 2 入力基準クロックの位相と第 3 分周回路で分周した装置内基準クロックの位相とを比較してその位相差信号を電圧制御発振器に出力する。電圧制御発振器は位相差信号により選択された第 1 入力基準クロックまたは第 2 入力基準クロックの位相に同期したクロックを装置内基準クロックとして出力する。

【0012】

【発明の実施の形態】次に、この発明によるクロック切替回路の実施の形態について図面に基づき説明する。図 1 はこの発明による第 1 実施の形態の構成を示すブロック図である。この図 1 において、前記図 5 で示した従来のクロック切替回路と同一部分には、同一符号を付して説明する。この発明では、クロック制御回路には複数の入力基準クロックが入力可能であるが、図 1 に示す第 1 実施の形態では、説明を簡略にするために、入力基準ク

ロックとして第 1 入力基準クロックと第 2 入力基準クロックが入力される場合を例示している。

【0013】図 1 において、クロック制御回路 1 に入力される第 1 入力基準クロックと、第 2 入力基準クロックにそれぞれ対応して第 1 分周回路 2、第 2 分周回路 3 が設けられている。クロック制御回路 1 で第 1 入力基準クロックを選択しているときには、選択されている第 1 入力基準クロックは第 1 分周回路 2 にそのまま出力し、それ以外の入力基準クロック、すなわち第 2 入力基準クロックは対応する第 2 分周回路 3 に出力され、第 2 分周回路 3 のカウントが「0」となったら第 2 入力基準クロックの出力を停止して分周カウント値「0」を保持するようにしている。

【0014】また、上記とは、逆に第 2 入力基準クロックを選択しているときには、選択されている第 2 入力基準クロックは第 2 分周回路 3 にそのまま出力し、それ以外の入力基準クロック、すなわち第 1 入力基準クロックは対応する第 1 分周回路 2 に出力され、第 1 分周回路 2 のカウントが「0」となったら、第 1 入力基準クロックの出力を停止して分周カウント値「0」を保持するようにしている。クロック制御回路 1 はこれらの第 1 入力基準クロック、第 2 入力基準クロックの第 1 分周回路 2、第 2 分周回路 3 への出力の選択は、クロック切替信号と切替信号制御回路 8 から出力される比較結果の信号とにより切り替えるようになっている。

【0015】第 1 分周回路 2、第 2 分周回路 3 の出力は、切替回路 4、クロック制御回路 1、および切替信号制御回路 8 に出力するようになっている。切替信号制御回路 8 からの切替信号により、切替回路 4 は第 1 分周回路 2 で分周された第 1 入力基準クロックと、第 2 分周回路 3 で分周された第 2 入力基準クロックとを切り替えて選択して位相比較器 5 に出力するようになっている。位相比較器 5 は、この切替回路 4 で選択された第 1 入力基準クロックの位相、第 2 入力基準クロックの位相のいずれか一方と、第 3 分周回路 7 で分周された装置内基準クロックの位相と比較し、その位相差に応じた位相差信号を電圧制御発振器 6 に出力するようになっている。

【0016】電圧制御発振器 6 は、前記位相差信号により、選択された第 1 入力基準クロックあるいは第 2 入力基準クロックの位相に同期したクロックを出力し、その一部は前記第 3 分周回路 7 および切替信号制御回路 8 に送出するようになっている。このクロックを装置内基準クロックとしている。このように構成することにより、装置内基準クロックの第 3 分周回路 7 で分周したクロックと、第 1 入力基準クロックの分周したクロックあるいは、第 2 入力基準クロックの分周したクロックとの間に位相差がある場合でも、切り替えようとする分周された第 1 入力基準クロック、あるいは第 2 入力基準クロックの位相を第 3 分周回路 7 で分周された装置内基準クロックの位相に合わせてから、第 1 入力基準クロック、ある

いは第2入力基準クロックの切替を行うので、装置内基準クロックの位相ずれを防止することができるようにになっている。また、選択されていない方の第1入力基準クロックまたは第2入力基準クロックの第1分周回路2あるいは第2分周回路3への該当するこの第1入力基準クロックまたは第2入力基準クロックの供給を停止するので、消費電力を抑制するようになっている。

【0017】次に、前記クロック制御回路1の内部構成について図2に基づき説明する。この図2はクロック制御回路1の内部構成を示すブロック図である。この図2において、第1入力基準クロックは2入力のアンドゲート25の第1入力端に入力されるようになっている。第2入力基準クロックは2入力のアンドゲート29の第1入力端に入力されるようになっている。クロック切替信号は、2入力のアンドゲート23の第1入力端と2入力のアンドゲート26の第1入力端に入力されるとともに、インバータ21を通して2入力のアンドゲート27の第1入力端と2入力のアンドゲート22の第2入力端に入力されるようになっている。

【0018】アンドゲート23の第2入力端には、第1分周回路2がカウント値「0」になると、それを検出して第1分周回路2から出力される第1基準クロック分周カウンタ「0」検出信号が入力されるようになっている。アンドゲート23の出力は、フリップフロップ回路（以下、FFという）24のリセット入力端Rに供給するようになっている。切替信号制御回路8から出力される切替信号はアンドゲート22の第1入力端と、アンドゲート26の第2入力端に入力されるようになっている。

【0019】アンドゲート22の出力はFF24のセット入力端Sに入力されるようになっている。このFF24の出力端Qはアンドゲート25の第2入力端に出力されるようになっている。アンドゲート25はこのFF24の出力と、第1入力基準クロックとのアンド論理をとって、出力（第1基準クロック）を第1分周回路2に送出するようになっている。上記のアンドゲート22、23、25、FF24により第1入力基準クロック抽出手段を構成している。

【0020】前記アンドゲート26はクロック切替信号と切替信号制御回路8から出力される切替信号とのアンド論理をとってFF28のセット入力端Sに送出するようになっている。さらに、第2分周回路3のカウント値が「0」となると、第2分周回路3から出力される第2基準クロック分周カウンタ「0」検出信号が第2分周回路3からアンドゲート27の第2入力端に入力されるようになっている。このアンドゲート27は、インバータ21の出力と第2基準クロック分周カウンタ「0」検出信号とのアンド論理をとって出力をFF28のリセット入力端Rに送出するようになっている。このFF28の出力端Qは、アンドゲート29の第2入力端に送出するようになっている。アンドゲート29は第2入力基準クロ

ックとFF28の出力端Qの出力とのアンド論理をとって出力（第2基準クロック）を第2分周回路3へ送出するようになっている。アンドゲート26、27、29、FF28により第2入力基準クロック抽出手段を構成している。

【0021】次に、図1の切替信号制御回路8の詳細な内部構成について図3により説明する。この図3は切替信号制御回路8の内部構成を示すブロック図である。図3において、2入力のアンドゲート42の第1入力端には、図1の電圧制御発振器6から出力される装置内基準クロックを第3分周回路7で分周した装置内基準クロック分周カウンタ「0」検出信号が入力されるようになっている。さらに、セクタ41には、第1基準クロック、すなわち、第1分周回路2の第1基準クロック分周カウンタ「0」検出信号が入力されるようになっているとともに、第2分周回路3の第2基準クロック分周カウンタ「0」検出信号が入力されるようになっている。

【0022】セクタ41の出力はアンドゲート42の第2入力端に入力されるようになっている。このアンドゲート42の出力端から比較結果が後述するFF43のセット入力端Sと図1のクロック制御回路1へ送出されるようになっている。かくして、セクタ41とアンドゲート42とにより、比較結果出力手段が構成されている。セクタ41とDタイプのFF45のデータ入力端Dには、クロック切替信号が入力されるようになっている。DタイプのFF45～48が縦続接続されており、FF45～48の各クロック入力端Cには、装置内基準クロックが入力されるようになっている。FF45の出力端Qから出力される出力信号は2入力のEX-OR回路44の第1入力端に入力されるようになっているとともに、FF46のデータ入力端Dに入力されるようになっている。

【0023】FF46の出力端Qから出力される出力信号はEX-OR回路44の第2入力端とFF47のデータ入力端Dとに入力されるようになっている。EX-OR回路44の出力は前記FF43のリセット入力端Rに入力するようになっている。FF43のセット入力端Sには、前記アンドゲート42から出力される比較結果が図1のクロック制御回路1に送出されるようになっている。FF47の出力端Qは、FF48のデータ入力端Dに入力されるようになっている。

【0024】FF48のイネーブル入力端ENにはFF43の出力端Qから出力される出力信号が入力されるようになっている。このFF48の出力端Qから切替信号が図1における切替回路4に送出されるようになっている。前記FF43、45～48、EX-OR回路44とにより切替信号保持手段を構成している。

【0025】次に、以上のように構成されたこの第1実施の形態の動作について図1ないし図4を参照して説明する。図4は動作を説明するためのタイムチャートであ

る。まず、図-1のブロック図の構成によるこの第1実施の形態の原理的動作の説明から行う。図1に示す実施の形態では、複数の入力基準クロックのうち、選択した入力基準クロックに電圧制御発振器のクロックを同期させ、電圧制御発振器から出力されるクロックを装置内基準クロックとして使用する場合を例示している。クロック制御回路1には第1入力基準クロック、第2入力基準クロックを入力し、第1入力基準クロックは第1分周回路2に出力し、第2入力基準クロックは第2分周回路3に出力する。

【0026】また、図1のクロック制御回路1は図2に示すような構成となり、選択している方、すなわち、第1入力基準クロックはそのまま第1分周回路2に出力し、その他、すなわち第2入力基準クロックは第2分周回路3のカウンタ値が「0」になるまで第2分周回路3にクロックを出力し、第2分周回路3の分周カウンタが「0」になったら第2入力基準クロックの出力を停止して第2分周回路3のカウンタ値を「0」に保持する。第2入力基準クロックを選択しているときは、その第2入力基準クロックをそのまま第2分周回路3へ出力し、第1入力基準クロックは第1分周回路2へ出力し、第1分周回路2のカウンタ値が「0」となったら、第1入力基準クロックの第1分周回路2への出力を停止する。切替回路4には、切替信号制御回路8からの切替信号により第1分周回路2からの第1入力基準分周クロックか、第2分周回路3からの第2入力基準クロックかを選択して、位相比較器5へ出力する。

【0027】位相比較器5では、切替回路4から選択された第1入力基準クロックを第1分周回路2で分周したクロックと、第2入力基準クロックを第2分周回路3で分周したクロックのうちの選択されている方のクロックと、装置内基準クロックを第3分周回路7で分周したクロックとの位相を比較し、両クロック間の位相差に応じた位相差信号を電圧制御発振器6へ出力する。電圧制御発振器6は、選択された第1入力基準クロックまたは第2入力基準クロックに同期したクロックを位相比較器5からの位相差信号により出力し、これを装置内基準クロックとして使用し、第3分周回路7では装置内基準クロックを前述したように、分周して位相比較器5に出力する。

【0028】また、図1の切替信号制御回路8は図3に示すように構成されているから、クロック切替信号により第1分周回路2の第1基準クロック分周カウンタ「0」検出信号、もしくは第2分周回路3の第2基準クロック分周カウンタ「0」検出信号を図3のセレクタ41で選択し、その選択したカウンタ「0」の検出信号、すなわち、第1基準クロック分周カウンタ「0」検出信号、あるいは第2基準クロック分周カウンタ「0」検出信号と装置内基準クロックとを図3のアンドゲート42に入力して、アンド論理をとる。装置内基準クロックを

分周する第3分周回路7からの装置内基準クロック分周カウンタ「0」検出信号とセレクタ41で選択された第1基準クロック分周カウンタ「0」検出信号、もしくは第2基準クロック分周カウンタ「0」検出信号がともに、カウンタ「0」となったら切り替えられる第1入力基準クロックの第1分周回路2、第2入力基準クロックの第2分周回路3へのクロック供給を再開し、切替回路4への切替信号を出力して第1入力基準クロック、第2入力基準クロックを切り替える。

【0029】次に、図1に示す第1実施の形態の動作について、図4のタイムチャートとともにさらに詳細に説明する。いま、クロック制御回路1に第1入力基準クロックおよび第2入力基準クロックが入力され、切替回路4により第1入力基準クロックが装置内基準クロックとして選択されている場合を考える。ここで、第1入力基準クロックと、第2入力基準クロックと、装置内基準クロックの分周回路の分周数は256分周とする。第1入力基準クロックと第2入力基準クロックはクロック切替信号と、切替信号制御回路8からの比較結果を制御信号としてクロック制御回路1に入力することにより制御されて、それぞれ第1分周回路2、第2分周回路3に出力される。

【0030】また、第1分周回路2からのカウンタ「0」検出信号を第1入力基準クロック分周カウンタ「0」検出信号、第2分周回路3からのカウンタ「0」検出信号を第2入力基準クロック分周カウンタ「0」検出信号としてクロック制御回路1と切替信号制御回路8へ送出され、第1分周回路2、第2分周回路3の分周カウンタ「0」のときに、第1分周回路2、第2分周回路3はそれぞれ検出信号が「1」となる。切替信号制御回路8では、セレクタ41にて、クロック切替信号により、第1基準クロック分周カウンタ「0」検出信号と、第2基準クロック分周カウンタ「0」検出信号とのいずれかを選択し、その選択された第1基準クロック分周カウンタ「0」検出信号、あるいは第2基準クロック分周カウンタ「0」検出信号と装置内基準クロックを第3分周回路7で分周する装置内基準クロック分周カウンタ「0」検出信号がともに「0」であることをアンドゲート42で検出した比較結果信号をクロック制御回路1へ送出する。

【0031】ここで、切替回路4は、切替信号制御回路8からのクロック切替信号が「1」のときに第1入力基準クロックを、クロック切替信号が「0」のときに第2入力基準クロックを選択するものとし、第1分周回路2、第2分周回路3、第3分周回路7の分周カウンタは図4(G)に示すごとく、0から255までカウントした後に、再び0からカウントするものとする。また、第1分周回路2、第2分周回路3、第3分周回路7による分周クロックはそれぞれ図4(H)、図4(J)、図4(L)に示すごとく、それぞれの分周カウンタが0~1

27までは「0」、128～255までは「1」となるように分周する。

【0032】図4において時刻 t_1 では、図4(A)に示すように、装置内基準クロックとして第1入力基準クロックが選択され、安定した状態を示している。図4の時刻 t_2 においては、図4(B)に示すごとく、装置内基準クロックを第1入力基準クロックから第2入力基準クロックへ切り替えるためのクロック切替信号が入力される。クロック切替信号は切替信号制御回路8の内部構成を示す図3のFF45、FF46で遅延して切替信号の変化を図4(C)に示すごとく、図3のEX-OR回路44で排他的論理和をとった出力1ビット信号を図3のFF43のリセット入力端Rに入力することにより、図4(E)に示すごとく、図3のFF43の出力は「0」となり、図3のFF48は第1の入力基準クロックを選択したままのホールド状態となる。

【0033】図3のセクタ41の出力は、第1基準クロック分周カウンタ「0」検出信号から、第2基準クロック分周カウンタ「0」検出信号に切り替わる。ここで、第3分周回路7からの装置内基準クロック分周カウンタ「0」検出信号と、第2基準クロック分周カウンタ「0」検出信号が一致すれば、位相が一致した状態であるが、クロック切替信号が入力されたときは、互いが非同期状態にあるので、一致していない。しかし、第2基準クロック分周カウンタ「0」検出信号が「0」の状態では停止しているので、装置内基準クロックの第3分周回路7のカウントが進んで「0」になるのを待ち、時刻 t_3 にてそのカウントが「0」になったとき、図3のアンドゲート42が第2基準クロック分周カウンタ「0」検出信号と装置内基準クロック分周カウンタ「0」検出信号のAND論理をとって双方のカウント「0」を検出して、図4(D)に示すごとく、一致状態である「1」を出力し、比較結果信号としてクロック制御回路1に送出する。

【0034】比較結果信号はクロック制御回路1の構成を示す図2のFF28のセット端子に入力される。すなわち、この比較結果信号はアンドゲート26の第2入力端に入力されるとともに、アンドゲート26の第1入力端にはクロック切替信号が入力され、アンドゲート26はこの両入力のAND論理をとってFF28のセット入力端Sに出力することにより、図2のFF28の出力が「1」となる。これにより、FF28の出力端Qからアンドゲート29の第2入力端にFF28の出力「1」が入力される。アンドゲート29の第1入力端には、第2入力基準クロックが入力されており、したがって、アンドゲート29はこの両信号のAND論理をとって、第2入力基準クロックを第2分周回路3に出力する。

【0035】第2分周回路図3に出力するアンドゲート29の出力端には、第2入力基準クロックが出力され、図4(K)に示すごとく、第2分周回路3の第2入力基

準クロック分周カウンタが動作を開始し、図4(F)に示すごとく、切替回路4への切替信号が切替信号制御回路8のFF48の出力端から出力される。これにより、切替回路4は第2入力基準分周クロックを選択して、位相比較器5に出力する。位相比較器5は、第2入力基準分周クロックと、第3分周回路7で装置内基準クロックを分周した装置内基準分周クロックとの位相比較を行い、その比較の結果、両者の位相が一致した状態で切替が行なわれ、装置内基準クロックの位相が大きく変動することを防止している。

【0036】時刻 t_3 においては、第1入力基準クロックを分周する第1分周回路2が「0」検出をしているので、第1基準クロックカウンタ「0」検出信号がクロック制御回路1に送出され、図2のANDゲート23の第2入力端に入力され、ANDゲート23の第1入力端には、クロック切替信号が入力されるので、ANDゲート23はこの両者のAND論理をとってFF24のリセット入力端RにANDゲート23の出力が入力されることになる。したがって、FF24の出力は「0」となり、図2のANDゲート25により第1入力基準クロックを第1分周回路2への送出することを停止するので、図4(I)に示すごとく、第1入力基準クロックの第1分周回路2の分周カウントは「0」の状態を保持する。

【0037】また、第2入力基準クロックから第1入力基準クロックへ切り替える場合も同様の動作となる。すなわち、第2分周回路3のクロックと第3分周回路7のクロックの位相が一致すると、第3分周回路7が装置内基準クロック分周カウンタ「0」を検出して「1」をANDゲート42の第1入力端に入力し、セクタ41で選択されている第1分周回路2による第2基準クロック分周カウンタ「0」検出の信号とのAND論理をとって比較結果を図2のANDゲート22の第1入力端に入力する。ANDゲート22の第2入力端には、インバータ21で反転されたクロック切替信号が入力され、ANDゲート25はFF24の出力端Qからの出力信号と第1入力基準クロックを第1分周回路を2に出力することにより、第2入力基準クロックへの切替が可能となる。

【0038】上記のように、第1実施の形態では、クロック切替時の位相変動を最小に抑え、装置内基準クロックの安定性を高めることができる。また、非選択の入力基準クロックの分周回路へのクロック入力を禁止しているため、分周回路の消費電力低減をはかることができる。なお、この発明は、上記第1実施の形態に限定されるものではなく、たとえば、入力基準クロックは3系統以上の場合であっても、同様に適用することができる。

【0039】

【発明の効果】以上説明したように、この発明によれば、入力基準クロックを切り替えるときに、選択される入力基準分周クロックの位相を装置内基準分周クロックの位相にあわせてからクロック切替回路におけるクロッ

ク切替を行うようにしたので、クロック切替による電圧制御発振器から出力される装置内基準クロックの位相ずれを抑圧するとともに、良好な装置内基準クロックを生成することができ、選択していない入力基準クロックの分周回路へのクロック入力を停止しているので消費電力を低減できる効果を奏する。

【図面の簡単な説明】

【図 1】この発明によるクロック切替回路の第 1 実施の形態の構成を示すブロック図である。

【図 2】図 1 のクロック切替回路におけるクロック制御回路の内部の詳細な構成を示すブロック図である。

【図 3】図 1 のクロック切替回路における切替信号制御回路の内部の詳細な構成を示すブロック図である。

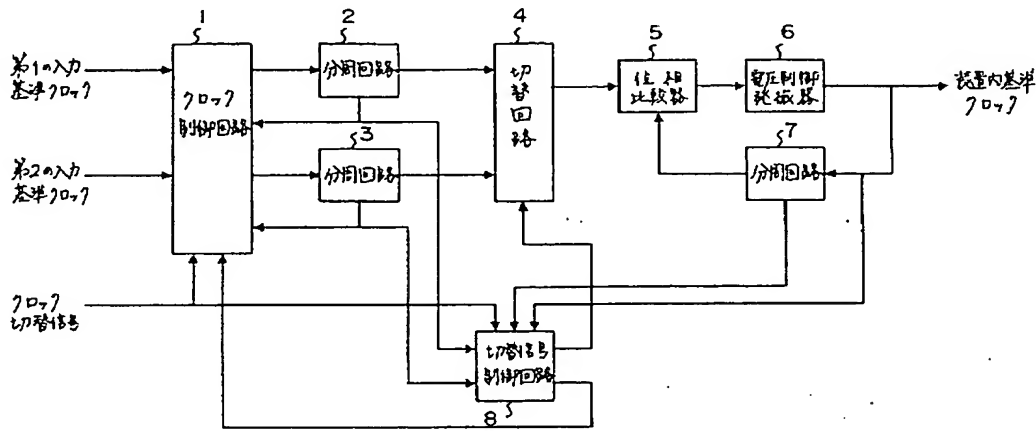
【図 4】図 1 のクロック切替回路の動作を説明するためのタイミングチャートである。

【図 5】従来のクロック切替回路の構成を示すブロック図である。

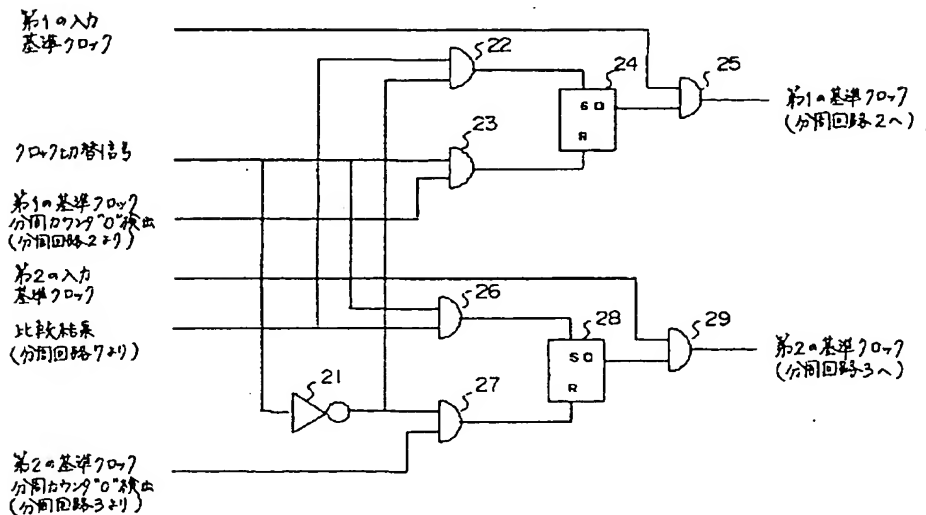
【符号の説明】

1 ……クロック制御回路、2 ……第 1 分周回路、3 ……第 2 分周回路、4 ……切替回路、5 ……位相比較器、6 ……電圧制御発振器、7 ……第 3 分周回路、8 ……切替信号制御回路、21 ……インバータ、22, 23, 25, 26, 27, 29, 42 ……アンドゲート、24, 28, 43, 45 ~ 48 ……フリップフロップ回路 (FF)、41 ……セクタ、44 ……E X - O R 回路。

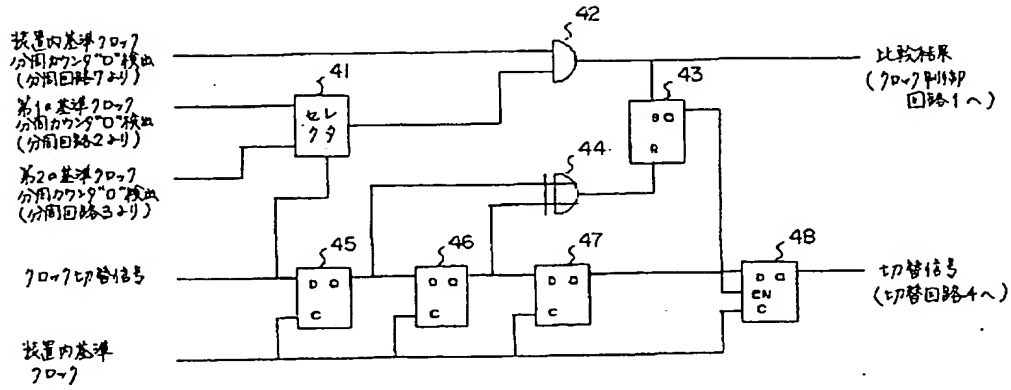
【図 1】



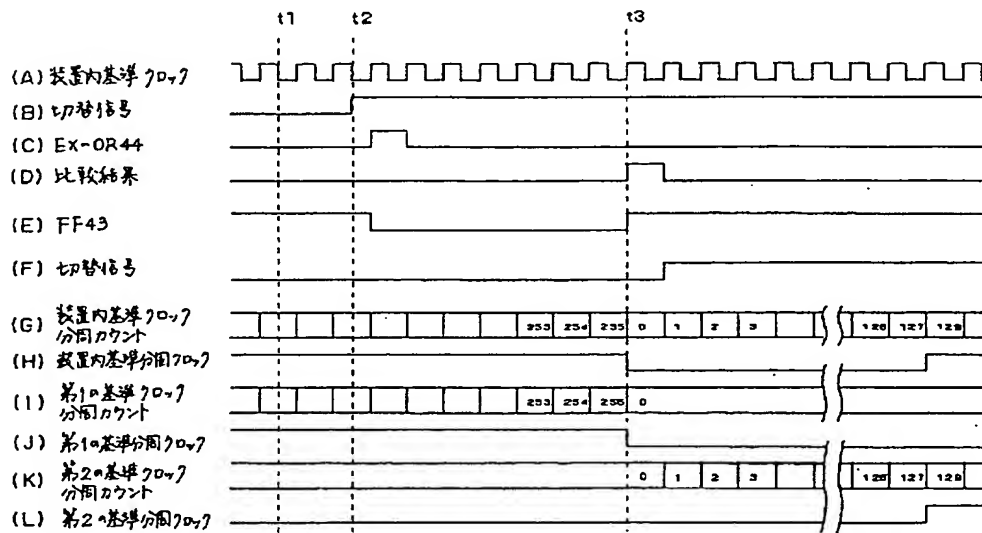
【図 2】



【図3】



【図4】



【図5】

